

INTEGRATOR WITH REPRODUCTION OF INTERNAL VARIATIONS

Patent number: SU1335994
Publication date: 1987-09-07
Inventor: LEDOVSKOJ MIKHAIL I (SU)
Applicant: TAGANROGSKIY RADIOTECH INST (SU)
Classification:
- **international:** G06F7/64
- **european:**
Application number: SU19853965068 19851010
Priority number(s): SU19853965068 19851010

Report a data error here

Abstract not available for SU1335994

Data supplied from the **esp@cenet** database - Worldwide



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (20) 1335994

A1

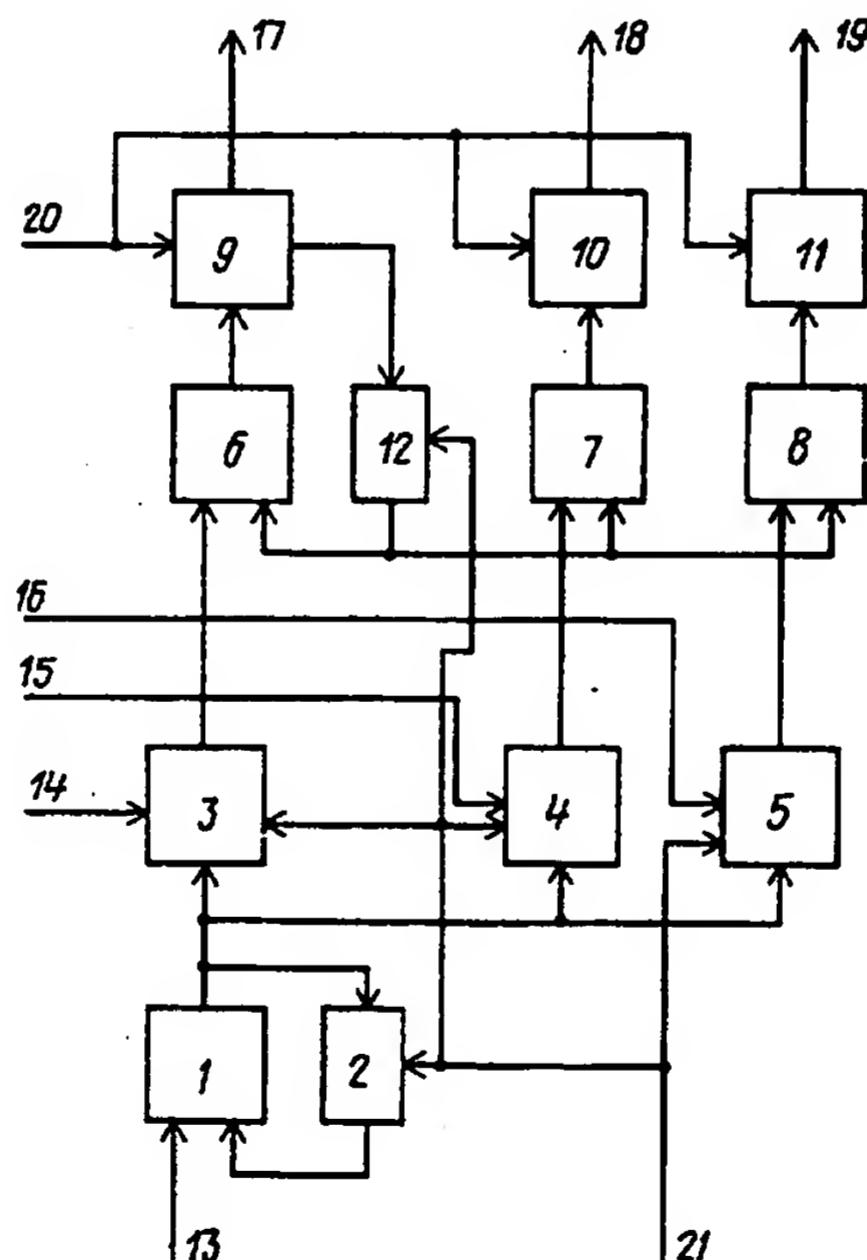
(S) 4 G 06 F 7/64

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3965068/24-24
(22) 10.10.85
(46) 07.09.87. Бюл. № 33
(71) Таганрогский радиотехнический ин-
ститут им. В. Д. Калмыкова
(72) М. И. Ледовский
(53) 681.32(088.8)
(56) Авторское свидетельство СССР
№ 328482, кл. G 06 F 7/64, 1972.
Авторское свидетельство СССР
№ 568060, кл. G 06 F 7/64, 1977.
(54) ИНТЕГРАТОР С ВОСПРОИЗВЕДЕ-
НИЕМ ВАРИАЦИЙ ИНТЕГРАЛА
(57) Изобретение относится к области вы-
числительной техники. Оно может быть ис-

пользовано в цифровых интегрирующих машинах, предназначенных для решения краевых и вариационных задач. Цель изобретения — расширение функциональных возможностей за счет вычисления вариаций интеграла Стильтьеса. Указанная цель достигается за счет того, что в интегратор, содержащий сумматор 1 подынтегральной функции, регистр 2 подынтегральной функции, три блока умножения 3, 4, 5, сумматор 6 остатка интеграла, регистр 12 остатка интеграла, коммутатор 9 и два элемента И 10, 11, введены два сумматора 8, 9 остатков вариаций интеграла по первой и по второй координате. 1 ил.



09 SU 00 1335994 A 1

Изобретение относится к цифровой вычислительной технике и может быть использовано в цифровых интегрирующих машинах, предназначенных для решения краевых и вариационных задач.

Целью изобретения является расширение функциональных возможностей за счет вычисления вариаций интеграла Стильеса.

На чертеже приведена структура интегратора.

Интегратор состоит из сумматора 1 подынтегральной функции, регистра 2 подынтегральной функции, трех блоков 3—5 умножения, сумматора 6 остатка интеграла, двух сумматоров 7 и 8 остатков вариаций интеграла по первой и второй координате коммутатора 9, двух элементов И 10, 11, регистра 12 остатка интеграла, четырех входных шин 13—16 для приращения подынтегральной функции $\nabla t\bar{\Phi}_{qi}$, приращения функции интегрирования $\nabla t\bar{\Phi}_{qi}$ и вариаций функции интегрирования $\nabla x_0\bar{\Phi}_{qi}$, $\nabla y_0\bar{\Phi}_{qi}$ соответственно, а также трех выходных шин 17—19 для приращения интеграла Стильеса $\nabla t\bar{\Phi}_{i+1}$ и его вариаций $\nabla x_0\bar{\Phi}_{i+1}$, $\nabla y_0\bar{\Phi}_{i+1}$ соответственно, управляющего входа 20 и вход 21 тактовых сигналов.

Работа интегратора на $(i+1)$ -м шаге интегрирования происходит следующим образом.

В сумматоре 1 приращение подынтегральной функции $\nabla t\bar{\Phi}_{qi}$ складывается с ее значением $\bar{\Phi}_{i(i-1)}$, поступающим из регистра 2, и ее новое значение $\bar{\Phi}_{pi}$ записывается в тот же регистр. Кроме того, значение $\bar{\Phi}_{pi}$ поступает в блоки 3—5 умножения, где оно умножается на приращение функции интегрирования $\nabla t\bar{\Phi}_{qi}$ и вариации $\nabla x_0\bar{\Phi}_{qi}$, $\nabla y_0\bar{\Phi}_{qi}$ соответственно. Полученные произведения поступают соответственно на сумматоры 6—8, где они складываются с остатком О ($\nabla t\bar{\Phi}$)_i, поступающим из регистра 12. Образованные при этом суммы поступают далее в блоки 9—11, где из них выделяется выходное приращение $\nabla t\bar{\Phi}_{i+1}$ и выходные вариации $\nabla x_0\bar{\Phi}_{i+1}$, $\nabla y_0\bar{\Phi}_{i+1}$, соответственно. Одновременно в блоке 9 вырабатывается новый остаток О ($\nabla + \bar{\Phi}$)_{i+1}, записываемый в регистр 12.

Формула изобретения

Интегратор с воспроизведением вариаций интеграла, содержащий регистр подынтегральной функции, сумматор подынтеграль-

ной функции, три блока умножения, сумматор остатка интеграла, регистр остатка интеграла, коммутатор и два элемента И, причем вход приращений подынтегральной функции интегратора соединен с входом первого слагаемого сумматора подынтегральной функции, выход которого соединен с выходом первого сомножителя первого блока умножения и информационным входом регистра подынтегральной функции, выход которого соединен с выходом второго слагаемого сумматора подынтегральной функции, выход первого блока умножения соединен с выходом первого слагаемого сумматора остатка интеграла, выход которого соединен с информационным входом коммутатора, первый выход которого соединен с выходом приращения интеграла интегратора, а второй выход коммутатора соединен с информационным входом регистра остатка интеграла, выход которого соединен с выходом второго слагаемого сумматора остатка интеграла, выходы первого и второго элементов И соединены с выходами вариаций интеграла по первой и второй координате соответственно, управляющий вход интегратора соединен с управляющим входом сумматора и первыми входами первого и второго элементов И, вход тактовых сигналов интегратора соединен с входами синхронизации первого, второго и третьего блоков умножения, регистра остатка интеграла и регистра подынтегральной функции, отличающийся тем, что, с целью расширения функциональных возможностей за счет вычисления вариаций интегралов Стильеса, он содержит сумматоры остатков вариаций интеграла по первой и второй координате, вход приращения функции интегрирования интегратора соединен с входом второго сомножителя первого блока умножения, входы вариаций функций интегрирования по первой и второй координате интегратора подключены к входам первых сомножителей второго и третьего блоков умножения соответственно, входы вторых сомножителей которых подключены к выходу сумматора подынтегральной функции, а выходы — к входам первых слагаемых сумматоров остатков вариаций интеграла по первой и второй координате соответственно, входы вторых слагаемых которых соединены с выходами регистра остатка интеграла, а выходы — с вторыми входами первого и второго элементов И соответственно.

Редактор Н. Егорова
Заказ 3803/44

Составитель А. Чеканов
Техред И. Верес
Тираж 672
ВНИИПИ Государственного комитета СССР по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4

Корректор М. Демчик
Подписьное